

347

JP 403251471
Sec 1-1

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(11) 3-288471 (A)

(43) 18.12.1991 (19) JP

(21) Appl. No. 2-91068

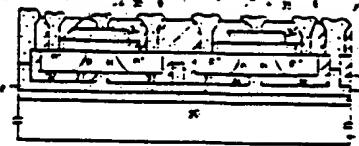
(22) 4.4.1990

(71) FUJITSU LTD (22) TAKAO MIURA

(51) Int. Cl. H01L27 12, H01L21 3205, H01L21 336, H01L21 74, H01L21 76, H01L29 44, H01L29 784

PURPOSE: To stabilize element properties such as threshold, source drain breakdown strength, etc., by providing a conductor layer inside a insulating separation band or on a semiconductor substrate, and connecting a lead electrode to an element region through a conductor layer and a conductive hole.

CONSTITUTION: A MOS element 3' is composed of an n-type channel region 36, a p-type source region 37, a p-type drain region 38, a gate insulating film 34, and a gate conductor 35. A conductor layer 8 is separated by an insulating film 20, and also a lead electrode 9 is connected to a p-type channel region 31 through a conductor layer 8 and a through hole H, and also a lead electrode 10 is connected to an n-type channel region 36 through a conductor layer 8 and a conductive hole H. According to this construction, element properties can be stabilized by discharging the charge of a positive hole or the like to outside from the channel region. What is more, the more the lead electrodes led out of the conductor layers 8 are, the more excellent the electric conductivity is, and it serves the speed-up of the device.



②公開特許公報(A) 平3-288471

③Int.Cl.

H 01 L 27/12
21/3205
21/336
21/74
21/76
29/44
29/784

識別記号

厅内整理番号

②公開 平成3年(1991)12月18日

D 7538-5F
B 7538-5F
B 7738-4M

9056-4M H 01 L 29/78 311 Z
6810-4M 21/88 K

審査請求 未請求 請求項の数 3 (全7頁)

④発明の名称 半導体装置およびその製造方法

⑤特 願 平2-91068

⑥出 願 平2(1990)4月4日

⑦発明者 三浦 隆雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑧出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑨代理人 弁理士 井桁 貞一

明細書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 各々の半導体素子が側面および底面を絶縁分離層によって分離され、該半導体素子の底面において電子領域の一部が導電孔を通して前記絶縁分離層の内部に設けられた導電体層、または、半導体基板上に設けられた導電体層に接続されてなることを特徴とする半導体装置。

(2) 第1半導体基板に第1絶縁膜を形成し、該膜の内部を含む全面に第1絶縁膜を形成し、該第1絶縁膜をバターンニングして少なくとも1つ以上の孔を開ける工程と、

次いで、前記第1絶縁膜上に導電体層を被覆して、前記膜および孔の内部を埋設させた後、表面上に被覆した導電体層上を研磨して平坦にする工程と、

前記導電体層の上に第2絶縁膜を介して第2半導

体基板を重り合わせ、前記第1半導体基板の反対面を研削して、側面および底面が前記絶縁膜で囲まれた半導体素子領域を形成する工程が含まれてなることを特徴とする半導体装置の製造方法。

(3) 前項(1)記載の半導体装置の製造方法において、前記導電体層の上に第2絶縁膜を介せずに第2半導体基板を直接重り合わせる工程が含まれてなることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

SOI基板に形成した半導体装置およびその製造方法に関するもの。

しきい値やソース・ドレイン耐圧などの電子特性を安定化させることを目的とし、

その構造は、各々の半導体素子が側面および底面を絶縁分離層によって分離され、該半導体素子の底面において電子領域の一部が導電孔を通して前記絶縁分離層の内部に設けられた導電体層、または、半導体基板上に設けられた導電体層に接続

されていることを特徴とし、

その製造方法は、第1半導体基板に孔を形成し、該孔の内部を含む全面に第1絶縁膜を形成し、該第1絶縁膜をバターンニングして少なくとも1つ以上の孔をあける工程と、次いで、前記第1絶縁膜上に導電体層を被覆して、前記孔および孔の内部を埋没させた後、表面に被覆した導電体層上を研磨して平坦にする工程と、前記導電体層の上に第2絶縁膜を介して第2半導体基板を重り合わせ、前記第1半導体基板の反対面を研磨して、側面および底面が前記第1絶縁膜で囲まれた半導体電子部品を形成する工程とが含まれていることを特徴とする。

また、その製造方法において、第2半導体基板を重り合わせる際、第2絶縁膜を介在しない工程が含まれていることを特徴とする。

〔底面上の利用分野〕

本発明はSOI基板に形成した半導体装置およびその製造方法に関する。

最近、SOI (Silicon On Insulator) 構造の半導体装置が注目されており、それは高速動作に有利な半導体デバイスが作成できるからであるが、本発明はそのようなSOI基板を基盤にした半導体装置の改善に関する。

〔従来の技術〕

さて、第8図はSOI基板を基盤にした従来の半導体装置の断面図を示しており、図中の記号1は半導体基板、2は絶縁分離層、3はMOS素子 (nチャネル) で、MOS素子3はp型チャネル領域31、n型ソース領域32、n型ドレイン領域33、ゲート絶縁膜34、ゲート電極35から構成され、4はゲート電極、5はソース電極、6はドレイン電極、7はカバー絶縁膜である。

図のように、個々のMOS素子3はトレント (trench: 溝) 形成法などを併用して側面および底面を完全に分離した絶縁分離層等に囲まれており、且つ、ソース領域およびドレイン領域と同程度の厚みの薄いシリコン領域上にMOS素子が形成さ

れているために、ソース・ドレイン領域におけるp-n接合の空乏層の拡がりが抑制されて、それだけ寄生容量が減少して高速動作する高性能なデバイスが得られる構造である。

なお、その他、SOI基板を基盤にした半導体装置は放射線耐性の向上やラッチャップフリーの利点も得られる。

〔発明が解決しようとする問題〕

しかし、他方、MOS素子は完全に絶縁分離されているために、電気的に導いたフローティング状態になっており、デバイス動作中に走行する電子の一部が結晶格子に衝突して生じる正孔が、逃げ場がなくてチャネル領域に蓄積されることになる。そうすると、チャネル領域の電位が変化して、電子のしきい値 (Vth) を変動させたり、また、ソース・ドレイン耐圧を低下させる。このようなしきい値の変動やソース・ドレイン耐圧の低下など電子特性の変化は半導体デバイスの信頼性を低下させる重大な問題である。

本発明はそのような問題点を解消させて、しきい値やソース・ドレイン耐圧などの電子特性を安定化させることを目的とした半導体装置とその製造方法を提案するものである。

〔課題を解決するための手段〕

その課題は、個々の半導体素子が側面および底面を絶縁分離層によって分離され、該半導体素子の底面において電子領域の一部が導電孔を造して前記絶縁分離層の内部に設けられた導電体層、または、半導体基板上に設けられた導電体層に接続されている半導体装置によって解決される。

且つ、その製造方法は、第1半導体基板に孔を形成し、該孔の内部を含む全面に第1絶縁膜を形成し、該第1絶縁膜をバターンニングして少なくとも1つ以上の孔をあける工程と、次いで、前記第1絶縁膜上に導電体層を被覆して、前記孔および孔の内部を埋没させた後、表面に被覆した導電体層上を研磨して平坦にする工程と、前記導電体層の上に第2絶縁膜を介して第2半導体基板

を重り合わせ、前記第1半導体基板の反対面を研削して、側面および底面が前記絶縁膜で囲まれた半導体電子領域を形成する工程が含まれていることを特徴とし。

また、その製造方法において、前記基電体層の上に第2絶縁膜を介在せずに第2半導体基板を直接重り合わせる工程が含まれていることを特徴とする。

【作用】

即ち、本発明は絶縁分離層の内部、または、半導体基板上に基電体層を設けて、この基電体層に電子領域の一部、例えば、MOS電子におけるチャネル領域に基電孔を通して接続させた構造にする。

そうすれば、デバイス動作中に正孔などのチャージが蓄積されず、基電体層を通じて逃散させることができるために、しきい値やソース・ドレイン耐圧などの電子特性を安定化することができる。

【実施例】

以下、図面を参照して実施例によつて詳細に説明する。

第1図は本発明にかかる半導体装置(1)の断面図を示しており、記号は第3図と同様に、1は半導体基板、2は絶縁分離層、3はMOS電子(チャネル)、4はゲート電極、5はソース電極、6はドレイン電極、7はカバー絶縁層、31はn型チャネル領域、32はn型ソース領域、33はn型ドレイン領域、34はゲート絶縁層、35はゲート基電体であるが、絶縁分離層2の中に基電体層8が埋設されている。この基電体層8は、例えば多結晶シリコン膜から構成されて、n型チャネル領域31に基電孔Hを通して接続し、且つ、基出電極9によって外部に露出されている。

従って、デバイス動作中に正孔をチャネル領域32から外部に逃がすことができて、電子特性を安定化することができる。

第2図は本発明にかかる半導体装置(2)の断面図を示しており、記号は第1図と同一部位に同

一記号が付けてあるが、他の記号3'はMOS電子(チャネル)で、MOS電子3'はn型チャネル領域36、n型ソース領域37、n型ドレイン領域38、ゲート絶縁層34、ゲート基電体35から構成され、また、20は絶縁膜、9、10は基出電極である。即ち、本例はCMOS電子であり、そのために基電体層8を絶縁膜20で分離して形成している構造で、基出電極9は基電体層8、基電孔Hを通してn型チャネル領域31に接続しており、また、基出電極10は基電体層8を通じてn型チャネル領域36に接続している。

第1図の構造と同様に、正孔などのチャージをチャネル領域から外部に逃散して、電子特性を安定化させることができる。

なお、基電体層8から基出する基出電極は多いほど電気伝導性が良くてデバイスの高速化に役立つが、それは設計的に考慮すべき問題で、また、その基出電極に応じて基電体層8を分離すれば良い。且つ、最近、多電源形の半導体デバイスが増加しており、その場合にも複数バイアスを印加す

るために基電体層8を分離して、それに応じた基出電極を作成することが好ましい。

第3図は本発明にかかる半導体装置(3)の断面図を示しており、記号は第1図と同一部位に同一記号を付けているが、その他の2'は絶縁分離層で、上記第1図に示した構造は絶縁分離層2'の中に基電体層8を埋設させているが、本構造の絶縁分離層2'は基電体層8が絶縁分離層2'外にあって半導体基板に接続しており、従って、表面に基出電極を設ける必要がなく、半導体基板1より直接外部に露出できる構造になる。

上記構造と同様に、正孔をn型チャネル領域31から外部に逃がすことができて、電子特性を安定化させることができる。

第4図は本発明にかかる半導体装置(4)の断面図を示しており、記号は第2図と同一部位に同一記号を付けている。本例も第2図と同様にCMOS電子であるが、基電体層8が絶縁分離層2'外にあって半導体基板に接続している構造で、従って、表面に基出電極を設ける必要がなく、半導

半導体1より直接外部に露出てきて、上記第2図に示す構造より簡単に形成することができる。

次の第5図は本発明にかかる半導体装置(V)の断面図を示しており、上記第4図に示すCMOS電子構造において、NチャネルMOS電子3上ではN型チャネル領域31に生成される正孔が遮げ場がなくてチャネル領域に蓄積されるが、PチャネルMOS電子3'の場合にはP型チャネル領域に生成される電子が蓄積度(セビリティ)が大きくて容易に遮げ場から逃散するために、わざわざPチャネルMOS電子3'では蓄電体層8に接続することなく、蓄電体層8の代わりに絶縁膜20'によって完全に分離したものである。他の記号は第4図と同一部位に同一記号が付けてあり、同じく正孔をチャネル領域31から外部に逃がすことができる、電子特性が安定化されることが分かる。

次に、第6回図～始は本発明にかかる形成方法の工程順断面図を示しており、本例は第2図に示す半導体装置の形成例である。

第6回図参照：まず、第1半導体基板11の表面

にフォトプロセスを用いてマスク(図示せず)を形成し、選択的にエッティングして溝40を形成する。溝の幅は0.5～1μm程度で、エッティングは氯化水素ガスを用いたドライエッティング、または、アルカリ溶液を用いたウェットエッティングをおこなう。

第6回図参照：次いで、溝40の内部を含む全面を絶縁化してSiO₂膜21(膜厚1000Å；第1絶縁膜)を形成し、このSiO₂膜21をフォトプロセスを用いてバーナーニングする。このバーナーニングは電子構造に蓄電体層を接続するための孔Hを形成するのが目的である。

第6回図参照：次いで、化学気相成長(CVD)法によってSiO₂膜21上に多結晶シリコン膜8(膜厚3000Å以上；蓄電体層)を被覆して、溝40および孔Hの内部を埋没させた後、その表面を研磨して平滑にする。

第6回図参照：次いで、多結晶シリコン膜8を分離するためのバーナーニングをおこなった後、SiO₂膜20(膜厚2000Å程度；絶縁膜)を被覆し、それを研磨除去して多結晶シリコン膜8(蓄電体

層)の露図のみに残存させる。なお、このバーナーニング工程は1箇所のみに蓄電層を形成する半導体デバイスの場合には不要であるが、多電源形のデバイスのような複数バイアスを印加するためには多結晶シリコン膜8を分離するためのバーナーニングが必要で、また、設計上から許されるならば、蓄電層の多い方が高速動作に有利なために、本工程を適用するのが望ましい。

第6回図参照：次いで、SiO₂膜22(第2絶縁膜)を絶縁化して生成した第2半導体基板12を、SiO₂膜22と多結晶シリコン膜8、SiO₂膜20とが接するよう重り合わせる。

第6回図参照：次いで、第1半導体基板11を露図から研削して電子構造(厚み約1000Å程度)を形成する。この研削にはSiO₂膜21露出が終点となる選択研削性を用いる。なお、本図からは前第6回図を逆にした断面図を示している。

第6回図参照：次いで、電子構造11にMOS電子3、3'を作成して完成するが、その際、ゲート電極4、ソース電極5、ドレイン電極6などと

同時に露出電極9、10を形成する。

次に、第7回図～始は本発明にかかる他の形成方法の工程順断面図を示しており、上記第6図に説明した形成方法は第2図に示す半導体装置、即ち、絶縁分離層の内部に蓄電体層8を設けた実施例の形成方法であったが、本例は第4図に示す半導体装置、即ち、半導体基板上に蓄電体層を設けて半導体基板に接続している構造の形成方法の例である。

本形成方法では第6図に説明した形成方法のうち、第6回図～始に説明した工程は本方法も同じであり、従って、第6回図～始に対応した第7回図～始の工程を以下に説明する。

第7回図参照：前記した第6回図の工程を終えた第1半導体基板11に対して、その表面に露出した生のままの第2半導体基板12をその面と多結晶シリコン膜8、SiO₂膜20とが接するよう重り合わせる。

第7回図参照：次いで、第1半導体基板11を露図から研削して電子構造11(厚み約1000Å程度)

を形成する。この研削にはS10、図21突出が終点になる遮光研削性を用いる。また、本圖より前第7圖(a)を逆にした断面図を示している。

第7圖に參照：次いで、半導体素子領域11にMOS素子3、3'を作成して完成するが、その際、本形成方法では第6圖(a)に示す露出部9、10を形成する必要はない。

上記が形成方法の概要であり、これらは第2圖および第4圖に示す構造を例として説明しているが、その他の第1圖、第3圖、第5圖の形成方法もほぼ同様の順序した方法になる。

なお、上記実施例はいずれもSOI基板を基盤にしたMOSデバイスの例であるが、本発明はバイポーラデバイスにも適用できることはいうまでもない。

【発明の効果】

以上の説明から明らかのように、本発明によればSOI基板を基盤にした半導体装置のしきい電圧ソース・ドレイン耐圧などの素子特性を安定化

させて、特性能のない半導体デバイスが得られ、その信頼性を大きく向上させる効果があるものである。

4. 図面の簡単な説明

第1圖は本発明にかかる半導体装置(1)の断面図。

第2圖は本発明にかかる半導体装置(1)の断面図。

第3圖は本発明にかかる半導体装置(1)の断面図。

第4圖は本発明にかかる半導体装置(IV)の断面図。

第5圖は本発明にかかる半導体装置(V)の断面図。

第6圖(a)～(e)は本発明にかかる形成方法の工程図断面図。

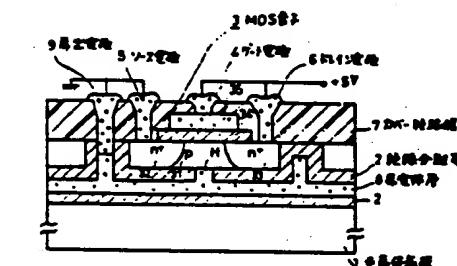
第7圖(a)～(e)は本発明にかかる他の形成方法の工程図断面図。

第8圖は従来の半導体装置の断面図である。

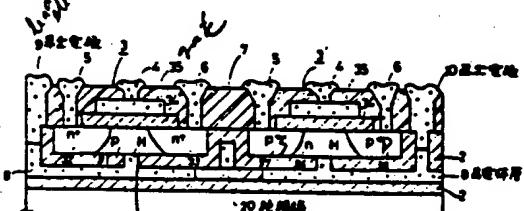
図において。

- 1は半導体基板、2、2'は絶縁分離帯、
3、3'はMOS素子、4はゲート電極、
5はソース電極、6はドレイン電極、
7はカバー絶縁膜、
8は導電体層(多結晶シリコン膜)、
9、10は露出部、
11は第1半導体基板(素子領域)、
12は第2半導体基板、
20、20'はS10、膜(絶縁膜)、
21はS10、膜(第1絶縁膜)、
22はS10、膜(第2絶縁膜)、
40は窓、Hは導電孔、または孔を示している。

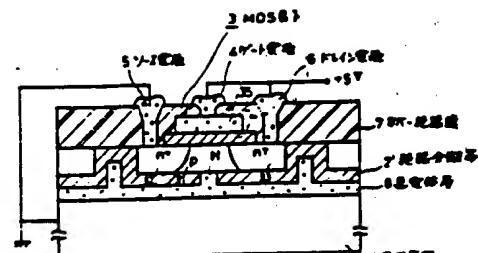
代理人弁理士井町寅一



特許平3-288471(5)半導体装置(1)の断面図
図1



特許平3-288471(5)半導体装置(1)の断面図
図2



本発明の半導体装置(3)の断面図
図3

